

10/820 458
Sep 16 2004



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

03425224.7

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

THIS PAGE BLANK (USPTO)



Anmeldung Nr:
Application no.: 03425224.7
Demande no:

Anmeldetag:
Date of filing: 10.04.03
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se referer à la description.)

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

G11C11/00

Am Anmeldetag benannte Vertragsstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL
PT RO SE SI SK TR LI

THIS PAGE BLANK (USPTO)

1. The following is a list of the names of the persons who are known to have been involved in the investigation of the case of the missing person, and the names of the persons who are known to have been involved in the investigation of the case of the missing person.

1. The following is a list of the names of the persons who are known to have been involved in the investigation of the case of the missing person, and the names of the persons who are known to have been involved in the investigation of the case of the missing person.

METODO DI LETTURA PER UN DISPOSITIVO DI MEMORIA NON
VOLATILE E DISPOSITIVO DI MEMORIA NON VOLATILE
IMPLEMENTANTE TALE METODO DI LETTURA

5 La presente invenzione è relativa ad un metodo di
lettura per un dispositivo di memoria non volatile e ad
un dispositivo di memoria non volatile implementante
tale metodo di lettura.

10 Come è noto, nelle celle di memoria non volatile
del tipo a porta flottante, la memorizzazione di uno
stato logico viene effettuata programmando la tensione
di soglia delle celle di memoria stesse attraverso la
definizione della quantità di carica elettrica
immagazzinata nella regione di porta flottante.

15 Grazie all'evoluzione dei processi tecnologici che
rende realizzabili dispositivi di memoria elementari di
dimensioni sempre più ridotte, negli ultimi anni sono
state realizzati dispositivi di memoria a semiconduttore
aventi capacità di memorizzazione molto elevate. Un
20 ulteriore aumento della capacità di memorizzazione è
stato ottenuto ricorrendo alla memorizzazione
multilivello, la quale permette di aumentare la densità
di memorizzazione a parità di generazione tecnologica.
Infatti, con questa tecnica si memorizzano più bit
25 d'informazione all'interno della singola cella di

memoria normalmente utilizzata per contenere un solo bit.

Sebbene siano basate sullo stesso principio, la scrittura e la lettura di celle di memoria in grado di memorizzare un solo bit (bilivello) e di celle di memoria in grado di memorizzare più di un bit (multilivello) avvengono con modalità differenti.

In particolare, a seconda dell'informazione memorizzata, le celle di memoria bilivello si distinguono in celle di memoria cancellate (valore logico memorizzato "1"), in cui nella regione di porta flottante non viene immagazzinata alcuna carica elettrica, e in celle di memoria scritte o programmate (valore logico memorizzato "0"), in cui nella regione di porta flottante viene immagazzinata una carica elettrica sufficiente a determinare un aumento sensibile della tensione di soglia delle celle di memoria stesse.

La lettura di celle di memoria bilivello viene effettuata confrontando una grandezza elettrica correlata alla corrente fluente attraverso le celle di memoria stesse con una analoga grandezza elettrica correlata alla corrente fluente attraverso una cella di memoria di riferimento di contenuto noto. In particolare, per effettuare la lettura di una cella di memoria bilivello si fornisce al terminale di porta

della cella di memoria stessa una tensione di lettura di valore compreso fra la tensione di soglia di una cella di memoria cancellata e quella di una cella di memoria scritta, in modo tale che se la cella di memoria è scritta, la tensione di lettura è minore della sua tensione di soglia e non scorre quindi corrente nella cella di memoria stessa, mentre se la cella di memoria è cancellata, la tensione di lettura è maggiore della sua tensione di soglia e scorre quindi corrente nella cella stessa.

Nelle celle di memoria multilivello, la memorizzazione di dati di n bit richiede invece la programmazione di tensioni di soglia che possono assumere 2^n valori differenti, a ciascuno dei quali è associato un rispettivo dato di n bit, mentre la lettura di celle di memoria multilivello viene effettuata confrontando una grandezza elettrica correlata alla corrente fluente attraverso le celle di memoria stesse con 2^n intervalli di riferimento distinti oppure (definiti da $2^r - 1$ livelli di riferimento distinti), a ciascuno dei quali è associato un corrispondente dato di n bit, e quindi determinando il dato associato all'intervallo di valori all'interno del quale tale grandezza elettrica risulta compresa.

L'approccio multilivello può essere applicato sia

alle memorie volatili (come le memorie DRAM) sia alle memorie non volatili (come le memorie EEPROM e Flash). In ogni caso l'aumento del numero di bit per cella di memoria rende più critica la tolleranza ai disturbi, la ritenzione dell'informazione e l'accuratezza delle operazioni di lettura e di scrittura.

Nella figura 1 è a titolo di esempio mostrato un grafico rappresentante la corrente fluente in una cella di memoria multilivello memorizzante due bit e le correnti di riferimento che definiscono gli intervalli di riferimento utilizzati per la lettura del contenuto della cella di memoria.

In particolare, nella figura 1 con linea tratteggiata è rappresentata la corrente I_{CELL} fluente in una cella di memoria il cui contenuto è costituito dai bit "10", e con linea continua sono rappresentate le tre correnti di riferimento I_{REF1} , I_{REF2} , I_{REF3} che definiscono i quattro intervalli di riferimento. Nella figura 1 sono inoltre indicati i due bit associati a ciascuno dei quattro intervalli di riferimento e, con linea tratto-punto, la corrente fluente in una cella vergine che, come è noto, è maggiore della corrente di riferimento più elevata (I_{REF3}).

È altresì noto che la lettura di una cella di memoria viene effettuata mediante un circuito di lettura

generalmente noto col nome di "amplificatore di sense"
(termine utilizzato anche nella presente trattazione),
il quale, oltre al riconoscimento dello stato logico
memorizzato nella cella di memoria, provvede anche alla
5 corretta polarizzazione del terminale di pozzo della
cella di memoria stessa.

Per la lettura di celle di memoria multilivello
sono essenzialmente utilizzate due tipologie di
amplificatori di sense: gli amplificatori di sense
10 cosiddetti di tipo parallelo o flash, e gli
amplificatori di sense cosiddetti di tipo dicotomico
seriale sincrono o ad approssimazioni successive.

Nella figura 2 è a titolo di esempio mostrata
l'architettura circuitale di un amplificatore di sense
15 noto di tipo parallelo per la lettura di una cella di
memoria a due bit.

In particolare, negli amplificatori di sense di
tipo parallelo la lettura del contenuto della cella di
memoria viene effettuata confrontando la corrente di
20 cella I_{CELL} contemporaneamente con le tre correnti di
riferimento I_{REF1} , I_{REF2} , I_{REF3} utilizzando tre stadi
comparatori distinti operanti in parallelo, uno per ogni
corrente di riferimento, le cui uscite sono collegate ad
uno stadio di decodifica che fornisce i due bit
25 memorizzati nella cella di memoria da leggere in

funzione del livello logico assunto dalle uscite degli stadi comparatori stessi.

Nella figura 3 è invece schematizzato l'algoritmo dicotomico implementato dagli amplificatori di sense di tipo dicotomico seriale sincrono per la lettura del contenuto di una cella di memoria multilivello memorizzante a due bit, mentre nella figura 4 è mostrata l'architettura circuitale di un amplificatore di sense noto di tipo dicotomico seriale sincrono.

In particolare, come mostrato nella figura 3, negli amplificatori di sense di tipo dicotomico seriale sincrono la lettura del contenuto della cella di memoria, nell'esempio mostrato costituito sempre dai bit "10", viene effettuata in due passi temporalmente successivi, detti dicotomici, uno per ciascuno dei due bit da leggere, in cui nel primo passo dicotomico la corrente I_{CELL} fluente nella cella di memoria viene confrontata con la corrente di riferimento I_{REF2} , il cui valore è intermedio fra quelli assunti dalle altre correnti di riferimento, mentre nel secondo passo dicotomico la corrente I_{CELL} fluente nella cella di memoria viene confrontata con la corrente di riferimento I_{REF1} o I_{REF3} a seconda dell'esito del confronto effettuato nel primo passo dicotomico. In particolare, se nel primo passo dicotomico la I_{CELL} è maggiore della

corrente di riferimento I_{REF2} , allora nel secondo passo
dicotomico la corrente I_{CELL} viene confrontata con la
corrente di riferimento I_{REF3} , mentre se nel primo passo
dicotomico la I_{CELL} è minore della corrente di
5 riferimento I_{REF2} , allora nel secondo passo dicotomico la
corrente I_{CELL} viene confrontata con la corrente di
riferimento I_{REF1} .

In ciascun passo dicotomico viene poi decodificato
uno dei due bit; in particolare, nel primo passo
10 dicotomico viene decodificato il bit più significativo
(MSB), mentre nel secondo passo dicotomico viene
decodificato il bit meno significativo (LSB).

Come mostrato nella figura 4, negli amplificatori
di sense di tipo dicotomico seriale sincrono la lettura
15 del contenuto della cella di memoria viene effettuata
utilizzando un unico stadio comparatore che nel primo
passo dicotomico confronta la corrente di cella I_{CELL} con
la corrente di riferimento I_{REF2} , mentre nel secondo
passo dicotomico confronta la corrente I_{CELL} con la
20 corrente di riferimento I_{REF1} o I_{REF3} a seconda dell'esito
del confronto nel primo passo dicotomico.

In particolare, la selezione della corrente di
riferimento I_{REF1} , I_{REF2} , I_{REF3} con cui la corrente di cella
 I_{CELL} viene confrontata viene effettuata attraverso uno
25 stadio multiplexer comandato da un circuito di

controllo, il quale è anche collegato a due registri o "latch" nei quali i due bit letti vengono memorizzati.

Sebbene largamente utilizzati, gli amplificatori di sense di tipo parallelo e gli amplificatori di sense di tipo dicotomico seriale sincrono presentano alcuni inconvenienti che non ne consentono un adeguato sfruttamento di tutti i pregi.

Innanzitutto, sia gli amplificatori di sense di tipo parallelo che gli amplificatori di sense di tipo dicotomico seriale sincrono presentano un'elevata occupazione di area su silicio.

Infatti, gli amplificatori di sense di tipo parallelo richiedono la realizzazione di uno stadio comparatore per ciascuno dei bit memorizzati nelle celle di memoria, che, come è noto, presenta una occupazione di area non trascurabile, per cui l'utilizzo di questa tipologia di amplificatori di sense diventa di fatto sconsigliabile all'aumentare del numero di bit memorizzati nelle celle di memoria.

Gli amplificatori di sense di tipo dicotomico seriale sincrono, sebbene utilizzino un solo stadio comparatore, necessitano della realizzazione di registri per memorizzare i bit letti in ciascun passo dicotomico, di uno stadio multiplexer e di uno stadio di controllo. Inoltre, questa tipologia di amplificatori di sense

richiedono una accurata gestione dei vari passi
dicotomici per cui la complessità circuitale dello
stadio di controllo, e quindi la sua occupazione di area
su silicio, aumenta significativamente all'aumentare del
5 numero di bit memorizzati nelle celle di memoria.

Oltre a ciò, negli amplificatori di sense di tipo
dicotomico seriale sincrono i vari passi dicotomici
presentano tutti una stessa durata temporale che viene
stabilita a priori per il cosiddetto caso peggiore
10 ("worst case"), ossia per consentire la lettura
affidabile di un bit anche quando concorrono
simultaneamente tutte quelle condizioni di funzionamento
che determinano un rallentamento della lettura stessa
(bassa tensione di alimentazione, elevate capacità da
15 caricare/scaricare, ecc.), e sono sincronizzati fra
loro, ossia un passo dicotomico ha inizio dopo un
intervallo di tempo prefissato dall'inizio del passo
dicotomico precedente, indipendentemente dall'istante in
cui il primo stadio comparatore ha effettivamente
20 terminato il confronto fra la corrente di cella I_{CELL} e
la corrente di riferimento I_{REF2} .

Per questi motivi, quindi, la velocità di lettura
degli amplificatori di sense di tipo dicotomico seriale
sincrono non è molto elevata, in particolare il tempo di
25 lettura complessivo del contenuto di una cella di

memoria non volatile assume mediamente, in questo tipo di amplificatori di sense, valori piuttosto elevati dell'ordine dei 20-25 ns, che, in alcune applicazioni, non sono accettabili.

5 Per coniugare in maniera migliore rispetto agli amplificatori di sense sopra descritti le esigenze contrastanti di ridotta occupazione di area e di elevata velocità di lettura, nella domanda di brevetto europeo 01830248.9 pubblicata con il numero EP-A-1249841 a nome
10 della richiedente viene proposto un amplificatore di sense di tipo dicotomico seriale asincrono, la cui architettura circuitale, relativamente al caso di lettura di celle di memoria a due bit, è mostrata nella figura 5.

15 In particolare, l'amplificatore di sense è essenzialmente formato da un primo ed un secondo comparatore e da un multiplexer a due vie per la selezione della corrente di riferimento con cui la corrente di cella deve essere confrontata nel secondo
20 passo dicotomico.

La lettura del contenuto della cella di memoria viene effettuata in due passi dicotomici in modo simile a quanto precedentemente descritto relativamente agli
amplificatori di sense di tipo dicotomico seriale
25 sincrono, tranne che per il fatto che i due passi

dicotomici sono fra loro asincroni.

In particolare, nel primo passo dicotomico la corrente di cella I_{CELL} viene confrontata con la corrente di riferimento I_{REF2} , mentre nel secondo passo dicotomico
5 la corrente di cella I_{CELL} viene confrontata con la corrente di riferimento I_{REF1} se la corrente di cella I_{CELL} è minore della corrente di riferimento I_{REF2} , o con la corrente di riferimento I_{REF3} se la corrente di cella I_{CELL} è maggiore della corrente di riferimento I_{REF2} .

10 In ciascun passo dicotomico viene decodificato uno dei due bit; in particolare, nel primo passo dicotomico viene decodificato il bit più significativo (MSB), mentre nel secondo passo dicotomico viene decodificato il bit meno significativo (LSB).

15 Inoltre, il secondo passo dicotomico ha inizio non appena è terminato il confronto fra la corrente di cella I_{CELL} e la corrente di riferimento I_{REF2} , al contrario di quanto avviene negli amplificatori di sense di tipo dicotomico seriale sincrono in cui, essendo la durata di
20 ciascun passo dicotomico stabilita a priori per il caso peggiore, il secondo passo dicotomico ha inizio dopo un intervallo di tempo prefissato dall'inizio del primo passo dicotomico, indipendentemente dall'istante in cui il primo stadio comparatore ha terminato il confronto
25 fra la corrente di cella I_{CELL} e la corrente di

riferimento I_{REF2} .

Ciò consente di ottenere una significativa riduzione del tempo di lettura rispetto agli amplificatori di sense di tipo dicotomico seriale
5 sincrono. Infatti, il tempo medio di lettura di un contenuto di una cella di memoria di due bit si riduce dai 70 ns di un amplificatore di sense dicotomico seriale sincrono ai 50 ns. Risulta poi immediato comprendere come i benefici in termini di riduzione del
10 tempo di lettura diventino sempre più significativi rispetto agli amplificatori di sense dicotomico seriale sincroni quanto più è elevato il numero di bit memorizzati nelle celle di memoria.

Non solo, ma una configurazione asincrona,
15 utilizzando uno stadio comparatore per ciascun passo dicotomico, consente anche di risparmiare l'area su silicio che, in una configurazione sincrona, viene occupata dal circuito di controllo e dai registri.

Nonostante i notevoli miglioramenti ottenuti, la
20 lettura di celle di memoria multilivello continua comunque in generale ad essere afflitta da una serie di problemi legati essenzialmente alle caratteristiche intrinseche del dispositivo di memoria in generale e delle celle di memoria in particolare.

25 Un primo di tali problemi è ad esempio

rappresentato dal cosiddetto spostamento apparente delle distribuzioni delle tensioni di soglia delle celle di memoria causato dal dato da leggere.

5 In particolare, è stato verificato che nelle celle di memoria multilivello l'esito della lettura di un dato memorizzato in un blocco di celle di memoria appartenenti ad uno stesso settore può dipendere anche in maniera non trascurabile dal dato stesso, ossia la lettura del contenuto di una data cella di memoria
10 risulta influenzata dalla lettura del contenuto delle celle di memoria adiacenti, e tale influenza risulta particolarmente significativa nelle celle di memoria multilivello, tanto da poter portare ad errori di lettura.

15 Come è noto, infatti, nei dispositivi di memoria non volatili la matrice di memoria è generalmente suddivisa in settori, ciascuno dei quali è formato da un insieme di celle di memoria aventi terminali di sorgente collegati ad un nodo comune per consentire la lettura e
20 la programmazione di singole celle di memoria del settore e la cancellazione simultanea di tutte le celle di memoria del settore.

In questo tipo di architettura, la tensione presente sul nodo comune a cui sono collegati i
25 terminali di sorgente di tutte le celle di memoria

appartenenti ad uno stesso settore dipende dalla corrente drenata dalle celle di memoria sottoposte a lettura, per cui, dato che l'esito della lettura del contenuto di una cella di memoria dipende in maniera
5 significativa dalla tensione presente sul proprio terminale di sorgente, la variazione che può subire la tensione presente sul nodo comune a seconda del dato che si sta leggendo può portare a commettere errori di lettura del contenuto di una cella di memoria.

10 Un ulteriore problema è invece legato alla modalità con cui vengono generati i riferimenti necessari per effettuare la lettura.

In particolare, per evitare "mismatch" fra gli amplificatori di sense, vengono utilizzate
15 alternativamente due architetture di generazione dei riferimenti: una centralizzata ed una locale.

L'architettura di generazione dei riferimenti in maniera centralizzata, mostrata schematicamente nella figura 6 relativamente al caso di celle di memoria
20 multilivello memorizzanti due bit, prevede essenzialmente che le tre correnti di riferimento fornite a ciascuno degli amplificatori di sense siano ottenute mediante specchiaggio di altrettante correnti di riferimento generate da un apposito circuito
25 generatore di riferimenti. Questa soluzione, sebbene

risulti quella con i minori errori di generazione, richiede tuttavia l'utilizzo di specchi di corrente formati da transistori di dimensioni piuttosto elevate, per cui risulta quella con maggiore occupazione di spazio su silicio e consumo di corrente proporzionale alle dimensioni dei transistori per caricare le capacità associate alle loro regioni di porta.

L'architettura di generazione dei riferimenti in maniera locale, mostrata schematicamente nella figura 7 sempre relativamente al caso di celle di memoria multilivello memorizzanti due bit, prevede essenzialmente che le tre correnti di riferimento fornite a ciascuno degli amplificatori di sense siano quelle direttamente generate dal circuito generatore di riferimenti. Questa soluzione, sebbene risulti quella con minore occupazione di spazio su silicio in quanto non richiede transistori di specchiaggio, comporta tuttavia, nella fase di collaudo del dispositivo di memoria, lunghi tempi di verifica dei riferimenti generati.

Un ulteriore problema che influenza negativamente la lettura di celle di memoria multilivello è rappresentato dal cosiddetto "piegamento" delle caratteristiche tensione-corrente delle celle di memoria stesse, piegamento che a sua volta è originato dal

cosiddetto "percorso di colonna" effettuato dalla corrente delle celle di memoria sottoposte a lettura.

In particolare, nella figura 8 è mostrata, con linea tratteggiata, la caratteristica tensione-corrente ideale di una cella di memoria, mentre con linea continua è mostrata la caratteristica tensione-corrente reale di una cella di memoria, sulla quale è visibile un evidente "piegamento" verso il basso per elevate correnti di cella causato dalle cadute di tensione sui transistori di selezione di colonna, "piegamento" che potrebbe avere evidenti influenze negative sulla lettura.

Per minimizzare le cadute di tensione sui transistori di selezione occorre che questi siano molto conduttivi, ossia presentino una ridotta resistenza elettrica, e ciò è realizzabile soltanto utilizzando transistori di dimensioni elevate, che ovviamente determinano un'elevata occupazione di area su silicio.

La lettura di celle di memoria multilivello è poi fortemente influenzata dalla precisione e dalla ripetibilità della tensione di lettura fornita ai terminali di porta delle celle di memoria durante letture successive, precisione e ripetibilità che dipendono in maniera marcata dalla presenza di "ripple" sulla tensione di lettura, dalla variazione della

temperatura di funzionamento del dispositivo di memoria, dalla variazione della tensione di alimentazione fornita dall'esterno al dispositivo di memoria e da accessi alla memoria troppo ravvicinati.

5 La lettura di celle di memoria multilivello risulta infine anche influenzata dallo spread dei guadagni delle celle di memoria conseguente agli spread di processo, dall'allargamento delle distribuzioni delle correnti di pozzo causato dalla variazione del guadagno delle celle
10 di memoria multilivello a sua volta provocata dalla variazione della temperatura di funzionamento del dispositivo di memoria, come evidenziato nella figura 9, e dall'effetto di compressione delle distribuzioni delle correnti di pozzo delle celle di memoria multilivello
15 causato dalla presenza di celle di memoria a guadagno minimo, come evidenziato nella figura 10.

 Scopo della presente invenzione è quindi quello di mettere a disposizione un metodo di lettura per un dispositivo di memoria non volatile che consenta di
20 superare, almeno in parte, i problemi dei dispositivi di memoria non volatili noti sopra evidenziati.

 Il suddetto scopo è raggiunto dalla presente invenzione in quanto essa è relativa ad un metodo di lettura per un dispositivo di memoria non volatile, come
25 definito nella rivendicazione 1.

La presente invenzione è inoltre relativa ad un dispositivo di memoria non volatile, come definito nella rivendicazione 10.

Per una migliore comprensione della presente
5 invenzione viene ora descritta una forma di
realizzazione preferita, a puro titolo di esempio non
limitativo, con riferimento ai disegni allegati, in cui:

- la figura 1 è un grafico rappresentativo delle
correnti di riferimento definenti gli intervalli di
10 valori utilizzati per la lettura del contenuto di una
cella di memoria a due bit;

- la figura 2 mostra l'architettura circuitale di
un amplificatore di sense di tipo parallelo per la
lettura del contenuto di una cella di memoria a due bit;

15 - la figura 3 mostra in maniera schematica
l'algoritmo dicotomico per la lettura del contenuto di
una cella di memoria a due bit;

- la figura 4 mostra l'architettura circuitale di
un amplificatore di sense di tipo dicotomico seriale
20 sincrono per la lettura del contenuto di una cella di
memoria a due bit;

- la figura 5 mostra l'architettura circuitale di
un amplificatore di sense di tipo dicotomico seriale
asincrono per la lettura del contenuto di una cella di
25 memoria a due bit;

- la figura 6 mostra un'architettura di generazione dei riferimenti in maniera centralizzata;

- la figura 7 mostra un'architettura di generazione dei riferimenti in maniera locale;

5 - la figura 8 mostra le caratteristica tensione-corrente ideale e reale di una cella di memoria;

 - la figura 9 mostra l'allargamento delle distribuzioni delle correnti di pozzo causata dalla variazione del guadagno di celle di memoria multilivello
10 a sua volta provocata dalla variazione della temperatura di funzionamento del dispositivo di memoria;

 - al figura 10 mostra l'effetto di compressione delle distribuzioni delle correnti di pozzo di celle di memoria multilivello causato dalla presenza di celle di
15 memoria a guadagno minimo;

- le figure 11-14 mostrano andamenti di grandezze elettriche del dispositivo di memoria secondo la presente invenzione;

 - la figura 15 mostra una possibile architettura circuitale del dispositivo di memoria secondo la
20 presente invenzione; e

- la figura 16 mostra una differente architettura circuitale del dispositivo di memoria secondo la presente invenzione.

25 Al solo scopo di facilitarne la comprensione, la

presente invenzione verrà di seguito descritta facendo riferimento alla lettura del contenuto di celle di memoria multilivello memorizzanti due bit, ossia celle di memoria in cui la tensione di soglia può assumere quattro livelli distinti, in cui, come precedentemente descritto, la corrente della cella di memoria di matrice I_{CELL} che si vuole leggere viene confrontata con tre differenti correnti di riferimento I_{REF1} , I_{REF2} , I_{REF3} , le quali sono generate da tre distinte celle di memoria di riferimento aventi tre distinte tensioni di soglia.

Verrà poi di volta in volta indicato come quanto descritto relativamente allo specifico esempio preso in considerazione possa essere applicato a celle di memoria da leggere memorizzanti n bit, ossia celle di memoria in cui la tensione di soglia può assumere 2^n valori distinti.

L'idea innovativa che sta alla base della presente invenzione è essenzialmente quella di:

- polarizzare la cella di memoria di matrice e le tre celle di memoria di riferimento in modo tale da modificarne i rispettivi stati di conduzione di corrente in istanti di tempo successivi; e

- determinare il contenuto della cella di memoria di matrice sulla base dell'ordine con cui si modificano gli stati di conduzione di corrente della cella di

memoria di matrice e delle tre celle di memoria di riferimento.

In particolare, la presente invenzione prevede di:

5 - applicare ai terminali di porta della cella di memoria di matrice e delle tre celle di memoria di riferimento una stessa tensione di lettura avente un andamento variabile nel tempo, in particolare un andamento generalmente a rampa, ossia un andamento crescente linearmente nel tempo da un valore minimo, in
10 particolare nullo, ad un valore massimo pari alla massima tensione di lettura disponibile all'interno del dispositivo di memoria, in modo tale da modificarne gli stati di conduzione di corrente in istanti di tempo successivi; e

15 - all'interno della finestra temporale in cui la tensione di lettura varia, confrontare la corrente drenata dalla cella di memoria di matrice e le correnti drenate dalle tre celle di memoria di riferimento con una stessa corrente di confronto di valore prestabilito,
20 così da generare quattro segnali di latch di tipo logico assumenti, ciascuno, un primo livello logico, ad esempio alto, quando la corrente è maggiore della corrente di confronto, ed un secondo livello logico, nell'esempio considerato basso, quando la corrente è minore della
25 corrente di confronto; e

- determinare il contenuto della cella di memoria di matrice in funzione della relazione temporale esistente fra gli istanti di commutazione dei quattro segnali di latch.

5 Più in dettaglio, all'interno della finestra temporale in cui la tensione di lettura varia dal valore minimo al valore massimo, i quattro segnali di scatto commuteranno in successione ed in un dato ordine dipendente dalle tensioni di soglia delle rispettive
10 celle di memoria e proprio nell'ordine con cui i segnali di scatto commutano è contenuta l'informazione relativa al contenuto della cella di memoria di matrice.

Per meglio capire quanto sopra descritto in termini generali, si faccia riferimento alle figure 11, 12 e 13,
15 in cui sono rispettivamente mostrate le distribuzioni delle tensioni di soglia di celle di memoria associate alla memorizzazione delle quattro combinazioni di due bit "11", "10", "01" e "00", le correnti I_{CELL} , I_{REF1} , I_{REF2} e I_{REF3} fluenti nella cella di memoria di matrice e nelle
20 tre celle di memoria di riferimento e la corrente di confronto I_0 , ed i segnali di latch $LATCH_{CELL}$, $LATCH_{REF1}$, $LATCH_{REF2}$ e $LATCH_{REF3}$ relativi alla cella di memoria di matrice ed alle tre celle di memoria di riferimento.

Nella figura 11 sono inoltre indicate con V_{TH1} , V_{TH2}
25 e V_{TH3} le tensioni di soglia delle celle di memoria di

5 riferimento (che in pratica rappresentano il
corrispondente in tensione delle tre correnti di
riferimento che definiscono i quattro intervalli di
riferimento inizialmente descritti ed utilizzati nella
lettura di una cella di memoria multilivello), ed il
valore massimo della tensione di lettura V_{READ} .

Nelle figure 11 e 12 è inoltre indicato, in linea
tratteggiata, l'andamento a rampa della tensione di
lettura V_{READ} .

10 Si supponga ora che il contenuto della cella di
memoria di matrice che si vuole leggere sia "10", ossia
la cella di memoria di cui si vuole leggere il contenuto
appartenga alla distribuzione identificata in figura 11
con "10" e compresa nell'intervallo delimitato dalle
15 tensioni di soglia V_{TH1} e V_{TH2} .

Si supponga ora di applicare ai terminali di porta
della cella di memoria di matrice e delle tre celle di
memoria di riferimento una tensione di lettura V_{READ}
avente l'andamento mostrato nelle figure 11 e 12.

20 Non appena la tensione di lettura V_{READ} raggiunge la
tensione di soglia V_{th1} , la prima cella di memoria di
riferimento comincia a condurre corrente e quando la sua
corrente I_{REF1} supera la corrente di riferimento I_0 , il
corrispondente segnale di latch di riferimento $\text{LATCH}_{\text{REF1}}$
25 commuta dal livello logico basso al livello logico alto.

La medesima cosa accade quindi in successione alla cella di memoria di matrice, alla seconda cella di memoria di riferimento e quindi alla terza cella di memoria di riferimento, per cui si avrà in successione
5 la commutazione del segnale di latch di cella $LATCH_{CELL}$ e quindi dei segnali di latch di riferimento $LATCH_{REF2}$ e $LATCH_{REF3}$.

Risulta quindi immediato comprendere come dall'analisi della relazione temporale esistente fra il
10 segnale di latch di cella $LATCH_{CELL}$ ed i segnali di latch di riferimento $LATCH_{REF1}$, $LATCH_{REF2}$ e $LATCH_{REF3}$ risulta possibile ricavare in maniera univoca il contenuto della cella di memoria di matrice.

Nell'esempio preso in considerazione, la
15 commutazione del segnale di latch di cella $LATCH_{CELL}$ avviene nell'intervallo di tempo intercorrente fra la commutazione del segnale di latch di riferimento $LATCH_{REF1}$ e la commutazione del segnale di latch di riferimento $LATCH_{REF2}$.

20 Dato però che la commutazione del segnale di latch di riferimento $LATCH_{REF1}$ è indicativa del superamento della tensione di soglia V_{th1} che rappresenta l'estremo superiore dell'intervallo di riferimento all'interno del quale si trovano le tensioni di soglia delle celle di
25 memoria memorizzanti i bit "11", mentre la commutazione

del segnale di latch di riferimento $LATCH_{REF2}$ è
indicativa del superamento della tensione di soglia V_{th2}
che rappresenta l'estremo inferiore dell'intervallo di
riferimento all'interno del quale si trovano le tensioni
di soglia delle celle di memoria memorizzanti i bit
"10", la commutazione del segnale di latch di cella
 $LATCH_{CELL}$ che avviene fra la commutazione del segnale di
latch di riferimento $LATCH_{REF1}$ e la commutazione del
segnale di riferimento latch $LATCH_{REF2}$ è indicativo del
fatto che la cella di memoria di matrice presenta una
tensione di soglia compresa fra la tensione di soglia
 V_{th1} e la tensione di soglia V_{th2} e quindi memorizza i bit
"10".

Risulterà immediatamente chiaro al lettore esperto
come quanto precedentemente descritto con riferimento
alla lettura di celle di memoria multilivello
memorizzanti due bit ciascuna possa essere applicato
tale e quale alla lettura di celle di memoria
multilivello memorizzanti ciascuna un numero di bit
qualsiasi.

Si sottolinea inoltre il fatto che se al termine
della lettura il segnale di latch di cella non ha
commutato, ciò significa che la cella di memoria di
matrice che si sta leggendo appartiene alla
distribuzione indicata in figura 11 con "00".

Un ulteriore aspetto della presente invenzione è rappresentato dal fatto che, dato che la lettura di una cella di memoria multilivello effettuata nel modo sopra descritto è essenzialmente basata su informazioni di tipo "temporale", ossia sull'analisi della relazione temporale esistente fra gli istanti di commutazione dei 2^n-1 segnali di latch, questo tipo di informazione si presta bene ad essere trasportata all'interno della cella di memoria mediante un bus digitale.

L'informazione che viene trasportata sul bus può alternativamente essere costituita o dai segnali di latch di riferimento $LATCH_{REF1}$, $LATCH_{REF2}$ e $LATCH_{REF3}$ direttamente generati dagli amplificatori di sense, i quali verranno poi confrontati localmente con il segnale di latch di cella $LATCH_{CELL}$ relativo alla cella di memoria di matrice che si sta leggendo, oppure un codice binario ottenuto dall'elaborazione dei segnali di latch di riferimento $LATCH_{REF1}$, $LATCH_{REF2}$ e $LATCH_{REF3}$, il cui significato sarà qui di seguito descritto.

Nella figura 15 è mostrata l'architettura circuitale di un dispositivo di memoria non volatile in cui la lettura di celle di memoria multilivello memorizzanti ciascuna due bit viene effettuata nel modo sopra descritto ed in cui l'informazione trasportata sul bus è costituita dai segnali di latch di riferimento

$LATCH_{REF1}$, $LATCH_{REF2}$ e $LATCH_{REF3}$ direttamente generati dagli amplificatori di sense.

In particolare, come si può notare dalla figura 15, il dispositivo di memoria, indicato nel suo insieme con 1 e del quale sono illustrate solamente le parti interessate dalla presente invenzione, comprende una matrice di memoria 2 formata da celle di memoria di matrice 3 disposte su righe e colonne, in cui linee di parola 4 connettono i terminali di porta delle celle di memoria di matrice 3 poste su una stessa riga e linee di bit 5 connettono i terminali di pozzo delle celle di memoria di matrice 3 poste su una stessa colonna; un generatore di rampa 6 alimentato con una tensione V_x ricavata dalla tensione di alimentazione V_{DD} fornita dall'esterno al dispositivo di memoria e fornente in uscita la tensione di lettura V_{READ} a rampa avente le caratteristiche sopra descritte; tre celle di memoria di riferimento 7 aventi le tensioni di soglia V_{TH1} , V_{TH2} e V_{TH3} summenzionate; tre amplificatori di sense, rappresentati schematicamente in figura 15 con un unico blocco indicato con 8, per confrontare le correnti di riferimento I_{REF1} , I_{REF2} e I_{REF3} drenate dalle tre celle di memoria di riferimento 7 con la corrente di confronto I_0 , ad esempio generata da un apposito generatore di corrente non illustrato, e generare i tre segnali di

latch di riferimento $LATCH_{REF1}$, $LATCH_{REF2}$ e $LATCH_{REF3}$; un
amplificatore di sense 9 per ogni linea di bit della
matrice di memoria 2 per confrontare la corrente di
cella I_{CELL} della cella di memoria di matrice 3 che si
sta leggendo con la corrente di confronto I_0 e generare
così il segnale di latch di cella $LATCH_{CELL}$; un bus 10
per trasportare i tre segnali di latch di riferimento
 $LATCH_{REF1}$, $LATCH_{REF2}$ e $LATCH_{REF3}$ all'interno della matrice
di memoria 2; ed infine una logica 11 atta a
determinare, nel modo sopra descritto, il contenuto
della cella di memoria di matrice 3 che si sta leggendo
sulla base della relazione temporale esistente fra il
segnale di latch di cella $LATCH_{CELL}$ ed i segnali di latch
di riferimento $LATCH_{REF1}$, $LATCH_{REF2}$ e $LATCH_{REF3}$.

Risulterà poi immediatamente chiaro al lettore
esperto ...come... quanto illustrato... in... figura 15
relativamente alla lettura di celle di memoria
memorizzanti due bit ciascuna possa essere esteso alla
lettura di celle di memoria memorizzanti n bit. In
questo caso, infatti, sarà necessario utilizzare 2^n-1
celle di memoria di riferimento 7 e 2^n-1 amplificatori
di sense 8 per generare i segnali di latch di
riferimento.

Nella figura 16 è invece mostrata l'architettura
circuitale di un dispositivo di memoria non volatile in

cui la lettura di celle di memoria multilivello memorizzanti ciascuna due bit viene effettuata secondo la presente invenzione ed in cui l'informazione trasportata sul bus è costituita da un codice ottenuto
5 elaborando i segnali di latch di riferimento $LATCH_{REF1}$, $LATCH_{REF2}$ e $LATCH_{REF3}$ generati dagli amplificatori di sense 8, codice il cui significato verrà ora descritto.

Si supponga di inviare inizialmente sul bus 10 i due bit "11" associati alla prima distribuzione di
10 tensioni di soglia mostrata nella figura 11, ossia i due bit che sono considerati memorizzati nelle celle di memoria le cui tensioni di soglia sono comprese nell'intervallo di tensioni di soglia di riferimento delimitato dalla tensione di soglia di riferimento
15 minore, cioè V_{TH1} , e dalla tensione di soglia di riferimento immediatamente successiva, cioè V_{TH2} .

Dopodiché, ad ogni commutazione di uno dei segnali di latch di riferimento $LATCH_{REF1}$, $LATCH_{REF2}$ e $LATCH_{REF3}$, i due bit inviati sul bus 10 vengono modificati in modo
20 corrispondente alla variazione dei due bit associati alle distribuzioni di tensioni di soglia mostrate nella figura 11 che si ha all'aumentare della tensione di lettura V_{READ} , cioè "11" viene modificato in "10", "01" ed "00".

25 Come risulta evidente anche dalla figura 14, il

contenuto della cella di memoria di matrice 3 che si sta leggendo altro non è che i due bit presente sul bus 10 al momento della commutazione del segnale di latch di cella $LATCH_{CELL}$, per cui la commutazione del segnale di latch di cella $LATCH_{CELL}$ può essere utilizzata per memorizzare il contenuto del bus 10 in quell'istante di tempo e tale contenuto costituisce il dato memorizzato nella cella di memoria di matrice che si sta leggendo.

Un ulteriore aspetto della presene invenzione è costituito dal fatto che una volta che un segnale di latch ha commutato, sia esso il segnale di latch di cella oppure un segnale di latch di riferimento, la cella di memoria che ha originato tale commutazione viene spenta. Ciò vale sia per la celle di memoria di matrice 3 che per le celle di memoria di riferimento 7.

Ciò è chiaramente visibile nella figura 12, in cui, subito dopo che le correnti delle celle di memoria hanno raggiunto la corrente di riferimento, le loro correnti decrescono rapidamente a zero. Essendo però applicata una tensione di lettura ai loro terminali di porta, lo spegnimento deve essere ottenuto agendo sulla polarizzazione del terminale di pozzo, in quanto quello di sorgente è generalmente posto al potenziale di massa. Questa funzione viene svolta dagli amplificatori di sense, i quali, come è noto, oltre al riconoscimento del

valore logico memorizzato nelle celle di memoria, provvedono anche alla corretta polarizzazione dei terminali di pozzo delle celle di memoria stesse.

Lo spegnimento della cella di memoria dopo che
5 questa ha fornito il proprio contributo alla lettura (informazione temporale costituita dall'istante di commutazione del relativo segnale di latch), unitamente ad una bassa corrente di confronto, riduce non solo il consumo del dispositivo di memoria la soprattutto
10 attenua sensibilmente il problema di innalzamento della tensione presente sul terminale di sorgente che è all'origine del succitato spostamento apparentemente delle distribuzioni delle tensioni di soglia.

Inoltre, una ridotta corrente di confronto consente
15 di ridurre proporzionalmente le dimensioni dei transistori di selezione di colonna, con conseguente riduzione del succitato "piegamento" delle caratteristiche tensione-corrente delle celle di memoria stesse originato dal percorso di colonna effettuato dalla
20 corrente delle celle di memoria sottoposte a lettura.

Inoltre, la vera tensione di lettura non è la tensione di alimentazione V_{ED} fornita dall'esterno al dispositivo di memoria ma bensì la rampa di tensione generata dal aeratore di rampa. Per cui, l'effetto di
25 variazione della tensione di alimentazione viene in

qualche modo mitigato dal generatore di rampa che, benché alimentato alla tensione di alimentazione, trae da essa solo la corrente necessaria alla generazione della rampa sulle linee di parola, attenuando i rumori
5 presenti sulla sua alimentazione.

Per quanto riguarda invece i problemi originati dagli spread dei guadagni delle celle di memoria e dalla compressione delle distribuzioni delle tensioni di soglia delle celle di memoria dovute alla presenza di
10 celle di memoria a guadagno minimo, essi risultano completamente eliminati con l'utilizzo della presente invenzione, a patto che la cella di memoria a guadagno minimo sia in grado di raggiungere la corrente di confronto I_0 .

15 Per quanto riguarda invece i problemi originati dalle variazioni del guadagno delle celle di memoria conseguenti alla variazione della temperatura di funzionamento del dispositivo di memoria, essi risultano sensibilmente ridotti per il fatto che le correnti in
20 gioco sono relativamente basse ed inoltre la lettura è una lettura in soglia e non in corrente.

Risulta infine chiaro che a quanto qui descritto ed illustrato possono essere apportate modifiche e varianti senza per questo uscire dall'ambito protettivo della
25 presente invenzione, come definito nelle rivendicazioni

allegate.

In particolare, si vuole evidenziare il fatto che il principio inventivo alla base della presente invenzione può essere applicato alla lettura di celle di memoria memorizzanti un numero qualsiasi di bit, anche uno solo. In quest'ultimo caso, infatti, l'infatti, il contenuto della cella di memoria di matrice potrà essere desunto semplicemente da chi per prima entrerà in conduzione fra la cella di memoria di matrice e la cella di memoria di riferimento.

Inoltre, la tensione di lettura potrebbe avere un andamento a rampa opposto a quello descritto ed illustrato nelle figure, in particolare un andamento a rampa linearmente decrescente nel tempo da un valore massimo ad un valore minimo. In questo caso, l'informazione circa il contenuto della cella di memoria di matrice risiederebbe nell'ordine con cui la cella di memoria di matrice e la cella o le celle di memoria di riferimento si spengono. Inoltre, con questa scelta sia la cella di memoria di matrice che le celle di memoria di riferimento entrerebbero tutte in conduzione e si spegnerebbero una alla volta, per cui si perderebbero i vantaggi legati alla possibilità di spegnere la cella di memoria che si trova in conduzione non appena questa ha fornito il suo contributo alla lettura, ossia il

risparmio di corrente e l'eliminazione dello spostamento apparente delle distribuzioni delle tensioni di soglia.

Inoltre, la tensione di lettura potrebbe addirittura avere un andamento differente da quello a
5 rampa descritto ed illustrato nelle figure, in particolare un andamento generalmente variabile nel tempo, ad esempio un andamento a gradinata oppure un andamento generalmente curvilineo crescenti o decrescenti nel tempo.

RIVENDICAZIONI

1. Metodo di lettura per un dispositivo di memoria
(1) comprendente una cella di memoria di matrice (3) ed
una cella di memoria di riferimento (7), caratterizzato
5 dal fatto di comprendere le fasi di:

- polarizzare la detta cella di memoria di matrice
(3) e la detta cella di memoria di riferimento (7) in
modo tale da modificarne i rispettivi stati di
conduzione di corrente in istanti di tempo differenti; e

10 - determinare il contenuto della detta cella di
memoria di matrice (3) sulla base della relazione
temporale esistente fra gli istanti di tempo in cui si
modificano gli stati di conduzione di corrente della
detta cella di memoria di matrice (3) e della detta
15 cella di memoria di riferimento (7).

2. Metodo di lettura secondo la rivendicazione 1,
caratterizzato dal fatto che la detta relazione
temporale è definita dall'ordine con cui si modificano
gli stati di conduzione di corrente della detta cella di
20 memoria di matrice (3) e della detta cella di memoria di
riferimento (7).

3. Metodo di lettura secondo la rivendicazione 1 o
2, caratterizzato dal fatto che la detta fase di
polarizzare la detta cella di memoria di matrice (3) e
25 la detta cella di memoria di riferimento (7) comprende

la fase di:

- applicare a terminali di controllo della detta cella di memoria di matrice (3) e della detta cella di memoria di riferimento (7) una stessa tensione di lettura (V_{READ}) avente un andamento variabile nel tempo.

4. Metodo di lettura secondo la rivendicazione 3, caratterizzato dal fatto che la detta tensione di lettura (V_{READ}) presenta un andamento nel tempo sostanzialmente a rampa.

5. Metodo di lettura secondo la rivendicazione 4, caratterizzato dal fatto che il detto andamento sostanzialmente a rampa è crescente nel tempo.

6. Metodo di lettura secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che la detta fase di determinare il contenuto della detta cella di memoria di matrice (3) comprende la fase di:

- confrontare la corrente di cella (I_{CELL}) drenata dalla detta cella di memoria di matrice (3) e la corrente di riferimento (I_{REF}) drenata dalla detta cella di memoria di riferimento (7) con una medesima corrente di confronto (I_0), così da generare un segnale di latch di cella ($\text{LATCH}_{\text{CELL}}$) e, rispettivamente, un segnale di latch di riferimento ($\text{LATCH}_{\text{REF}}$) contenenti informazioni relative agli istanti di tempo in cui la detta corrente di cella (I_{CELL}) e, rispettivamente, la detta corrente di

riferimento (I_{REF}) soddisfano una prefissata relazione con la detta corrente di confronto (I_0); e

5 - determinare il contenuto della detta cella di memoria di matrice (3) sulla base della relazione temporale esistente fra gli istanti di tempo in cui la detta corrente di cella (I_{CELL}) e la detta corrente di riferimento (I_{REF}) soddisfano la detta prefissata relazione.

10 7. Metodo di lettura secondo la rivendicazione 6, caratterizzato dal fatto che la detta prefissata relazione è definita dalla condizione che la detta corrente di cella (I_{CELL}) o la detta corrente di riferimento (I_{REF}) superi la detta corrente di confronto (I_0).

15 8. Metodo di lettura secondo la rivendicazione 6 o 7, caratterizzato dal fatto che il detto segnale di latch di cella ($LATCH_{CELL}$) ed il detto segnale di latch di riferimento ($LATCH_{REF}$) sono segnali di tipo logico che commutano da un primo ad un secondo livello logico
20 quando la detta corrente di cella (I_{CELL}) e, rispettivamente, la detta corrente di riferimento (I_{REF}) soddisfano la detta prefissata relazione.

25 9. Metodo di lettura secondo una qualsiasi delle rivendicazioni da 6 a 8, caratterizzato dal fatto di comprendere inoltre la fase di:

- spegnere la detta cella di memoria di matrice (3) e la detta cella di memoria di riferimento (7) subito dopo che la detta prefissata relazione è stata soddisfatta.

5 10. Dispositivo di memoria (1) comprendente una cella di memoria di matrice (3) ed una cella di memoria di riferimento (7), caratterizzato dal fatto di comprendere:

10 - mezzi di polarizzazione (6) per polarizzare la detta cella di memoria di matrice (3) e la detta cella di memoria di riferimento (7) in modo tale da modificarne i rispettivi stati di conduzione di corrente in istanti di tempo differenti; e

15 - mezzi di valutazione (8, 9, 11) per determinare il contenuto della detta cella di memoria di matrice (3) sulla base della relazione temporale esistente fra gli istanti di tempo in cui si modificano gli stati di conduzione di corrente della detta cella di memoria di matrice (3) e della detta cella di memoria di
20 riferimento (7).

25 11. Dispositivo secondo la rivendicazione 10, caratterizzato dal fatto che la detta relazione temporale è definita dall'ordine con cui si modificano gli stati di conduzione di corrente della detta cella di memoria di matrice (3) e della detta cella di memoria di

riferimento (7).

12. Dispositivo di memoria secondo la rivendicazione 10 o 11, caratterizzato dal fatto che i detti mezzi di polarizzazione comprendono:

5 - mezzi generatori di tensione (6) per applicare a terminali di controllo della detta cella di memoria di matrice (3) e della detta cella di memoria di riferimento (7) una stessa tensione di lettura (V_{READ}) avente un andamento variabile nel tempo.

10 13. Dispositivo di memoria secondo la rivendicazione 12, caratterizzato dal fatto che la detta tensione di lettura (V_{READ}) presenta un andamento nel tempo sostanzialmente a rampa.

15 14. Dispositivo di memoria secondo la rivendicazione 13, caratterizzato dal fatto che il detto andamento sostanzialmente a rampa è crescente nel tempo.

20 15. Dispositivo di memoria secondo una qualsiasi delle rivendicazioni da 10 a 14, caratterizzato dal fatto che i detti mezzi di valutazione (8, 9, 11) comprendono:

25 - mezzi comparatori (8, 9) per confrontare la corrente di cella (I_{CELL}) drenata dalla detta cella di memoria di matrice (3) e la corrente di riferimento (I_{REF}) drenata dalla detta cella di memoria di riferimento (7) con una medesima corrente di confronto

(I_0), così da generare un segnale di latch di cella ($LATCH_{CELL}$) e, rispettivamente, un segnale di latch di riferimento ($LATCH_{REF}$) contenenti informazioni relative agli istanti di tempo in cui la detta corrente di cella (I_{CELL}) e, rispettivamente, la detta corrente di riferimento (I_{REF}) soddisfano una prefissata relazione con la detta corrente di confronto (I_0); e

- mezzi di determinazione (11) per determinare il contenuto della detta cella di memoria di matrice (3) sulla base della relazione temporale esistente fra gli istanti di tempo in cui la detta corrente di cella (I_{CELL}) e la detta corrente di riferimento (I_{REF}) soddisfano detta prefissata relazione.

16. Dispositivo di memoria secondo la rivendicazione 15, caratterizzato dal fatto che la detta prefissata relazione è definita dalla condizione che la detta corrente di cella (I_{CELL}) o la detta corrente di riferimento (I_{REF}) superano la detta corrente di confronto (I_0).

17. Dispositivo di memoria secondo la rivendicazione 15 o 16, caratterizzato dal fatto che il detto segnale di latch di cella ($LATCH_{CELL}$) ed il detto segnale di latch di riferimento ($LATCH_{REF}$) sono segnali di tipo logico che commutano da un primo ad un secondo livello logico quando la detta corrente di cella (I_{CELL})

e, rispettivamente, la detta corrente di riferimento (I_{REF}) soddisfano la detta prefissata relazione.

18. Dispositivo di memoria secondo una qualsiasi delle rivendicazioni da 15 a 17, caratterizzato dal fatto di comprendere inoltre:

- mezzi di spegnimento (8, 9) per spegnere la detta cella di memoria di matrice (3) e la detta cella di memoria di riferimento (7) subito dopo che la detta prefissata relazione è stata soddisfatta.

19. Dispositivo di memoria secondo una qualsiasi delle rivendicazioni da 15 a 18, caratterizzato dal fatto di comprendere inoltre:

- mezzi a bus (10) per trasportare i detti segnali di latch di cella e di riferimento ($LATCH_{CELL}$, $LATCH_{REF}$).

RIASSUNTO

Viene descritto un metodo di lettura per un dispositivo di memoria non volatile (1), in cui ai terminali di porta della cella di memoria di matrice (3) e della
5 cella di memoria di riferimento (7) viene applicata una stessa tensione di lettura (V_{READ}) avente un andamento a rampa, in modo tale da modificarne gli stati di conduzione di corrente in istanti di tempo successivi, ed il contenuto della cella di memoria di matrice (3)
10 viene determinato sulla base dell'ordine con cui si modificano gli stati di conduzione di corrente della cella di memoria di matrice (3) e della cella di memoria di riferimento (7).

Figure 11 e 12

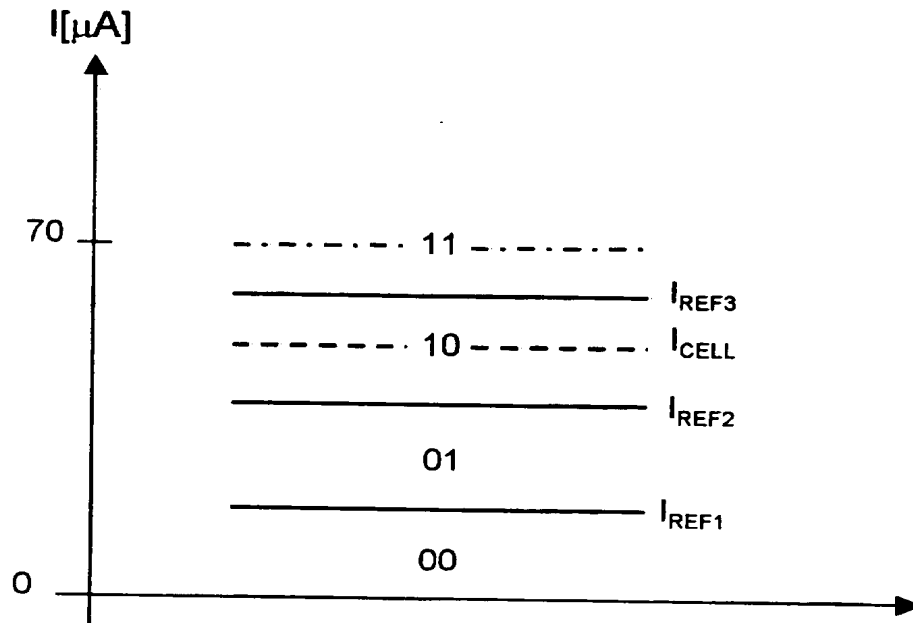


Fig.1

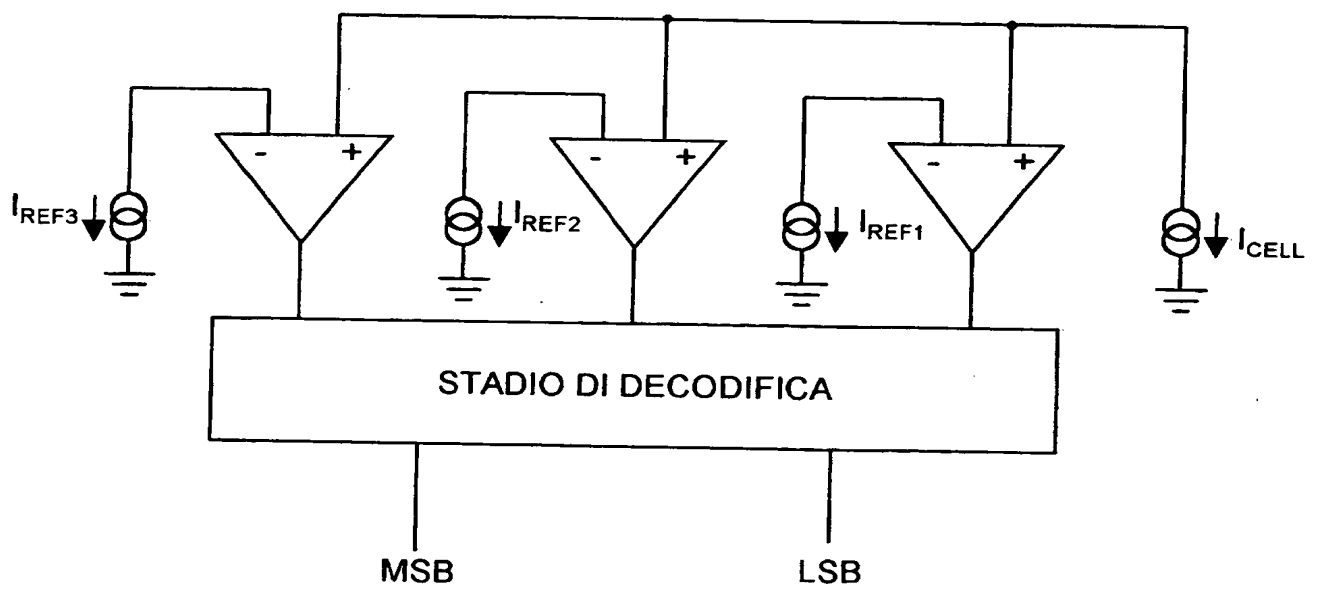


Fig.2

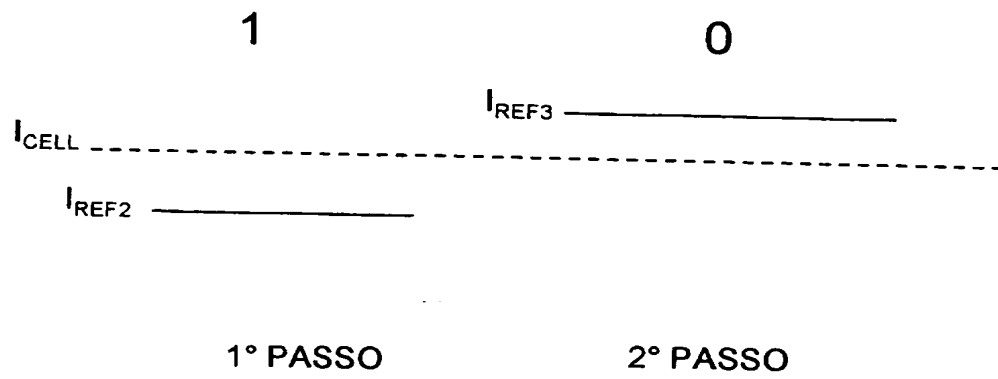


Fig.3

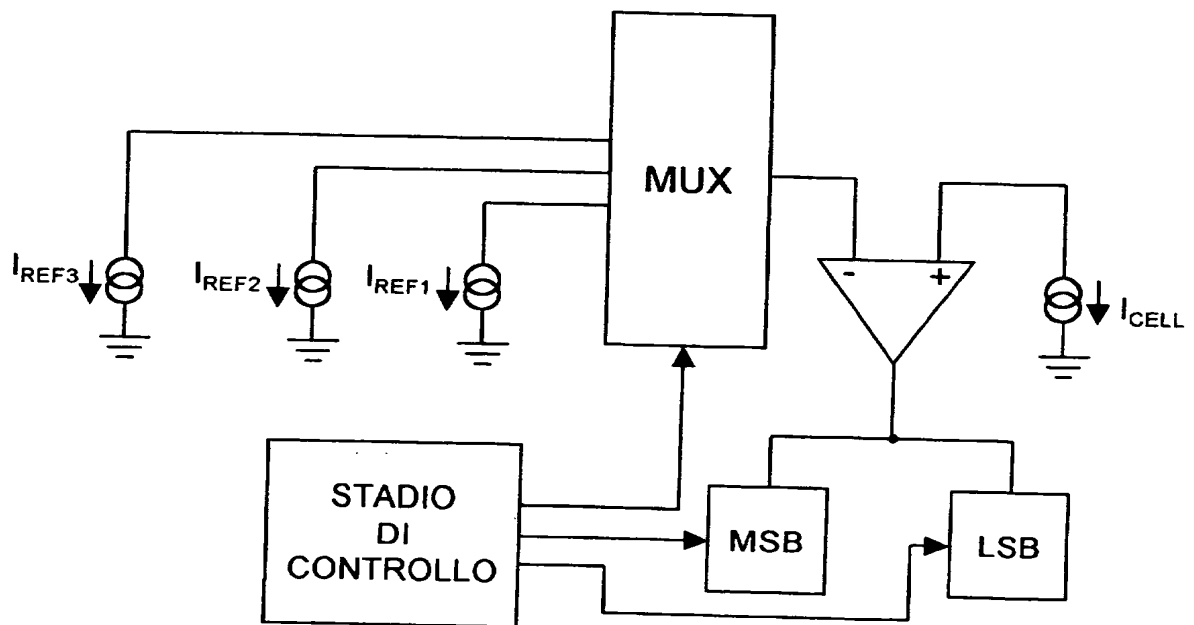


Fig.4

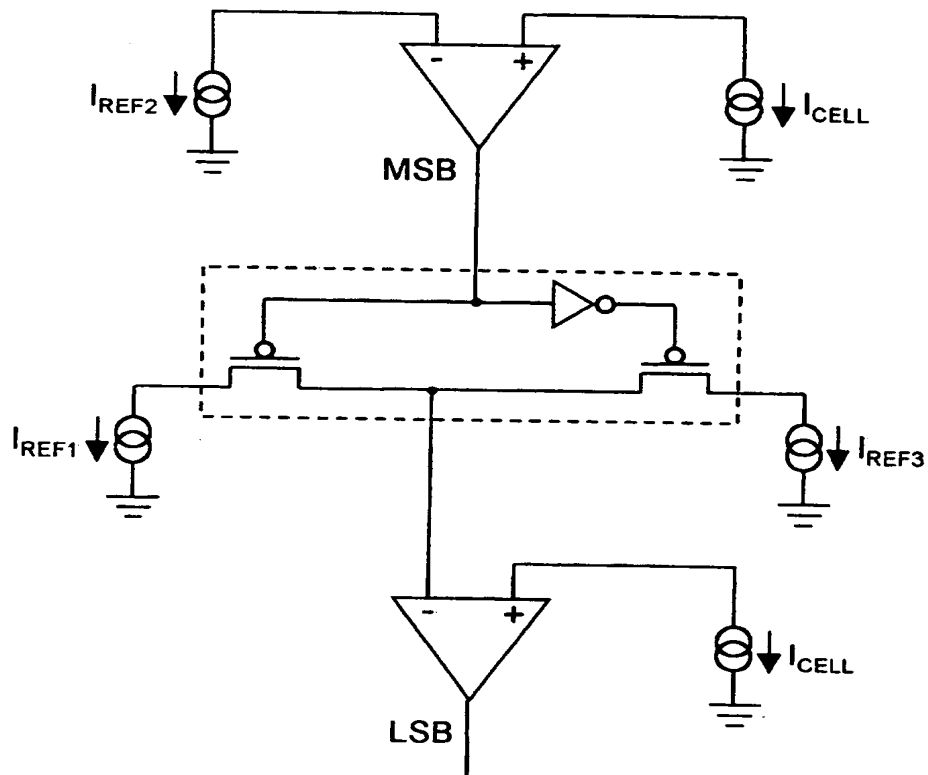


Fig.5

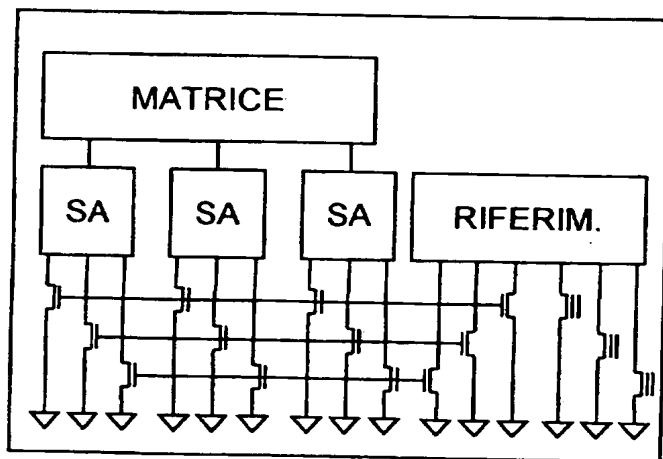


Fig.6

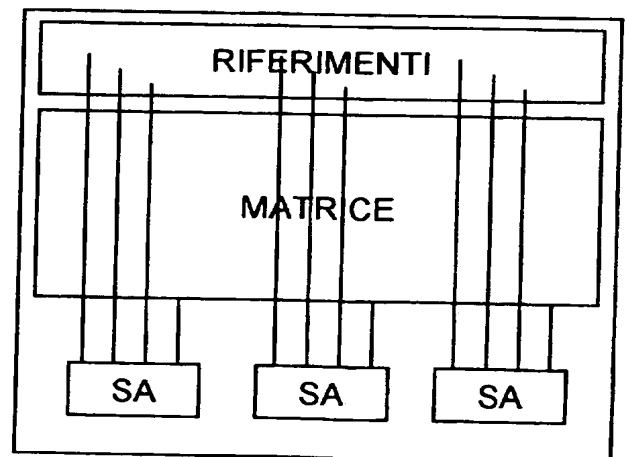


Fig.7

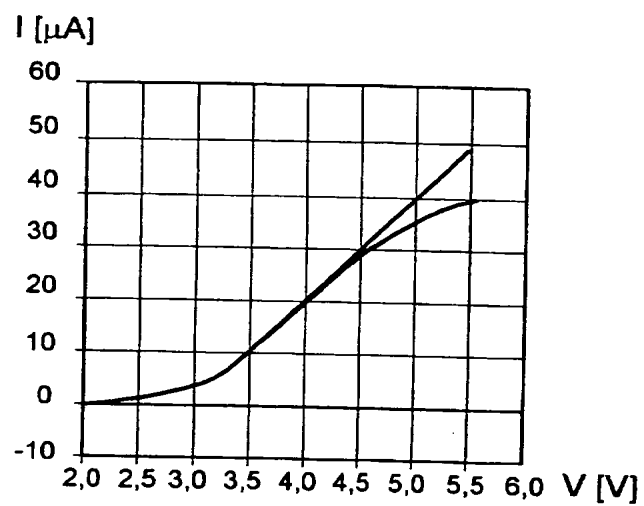


Fig.8

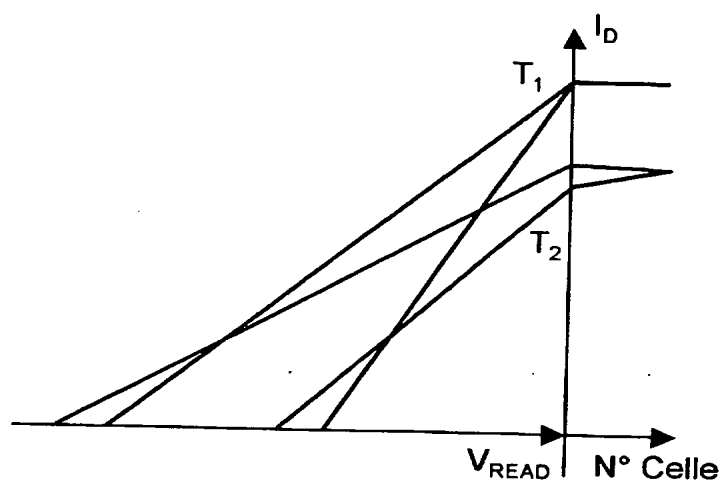


Fig.9

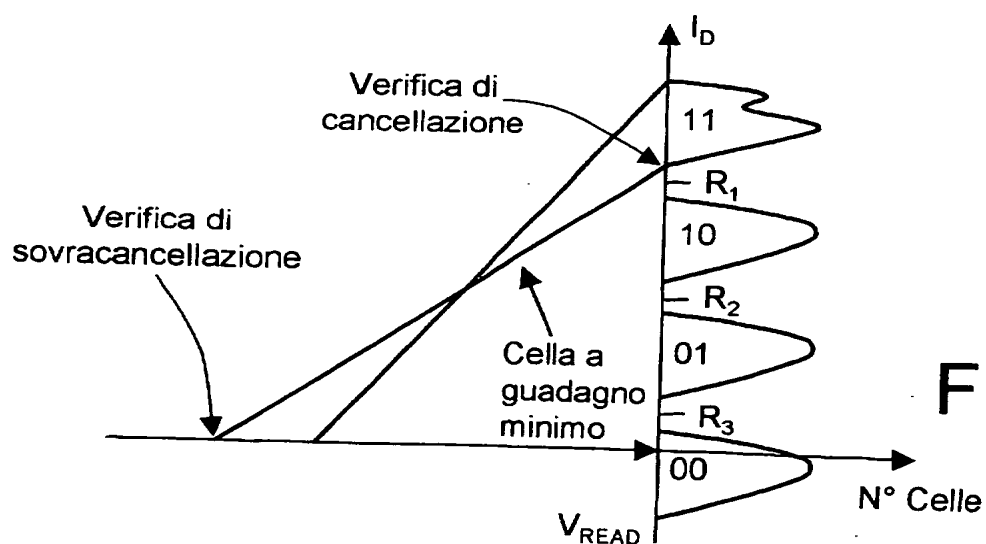
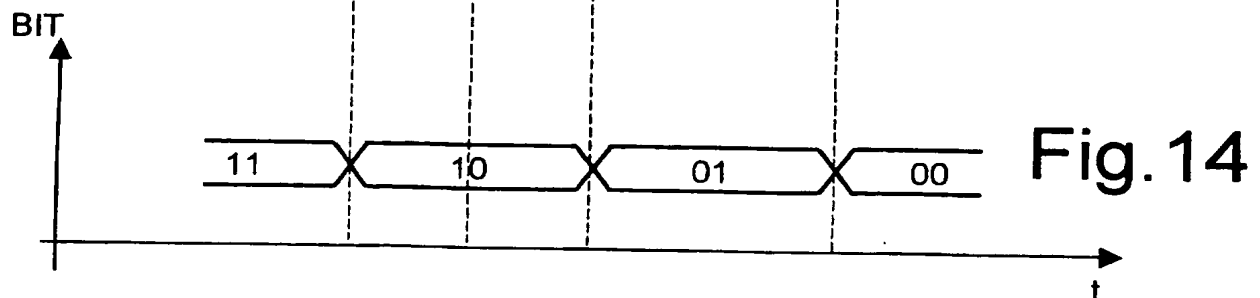
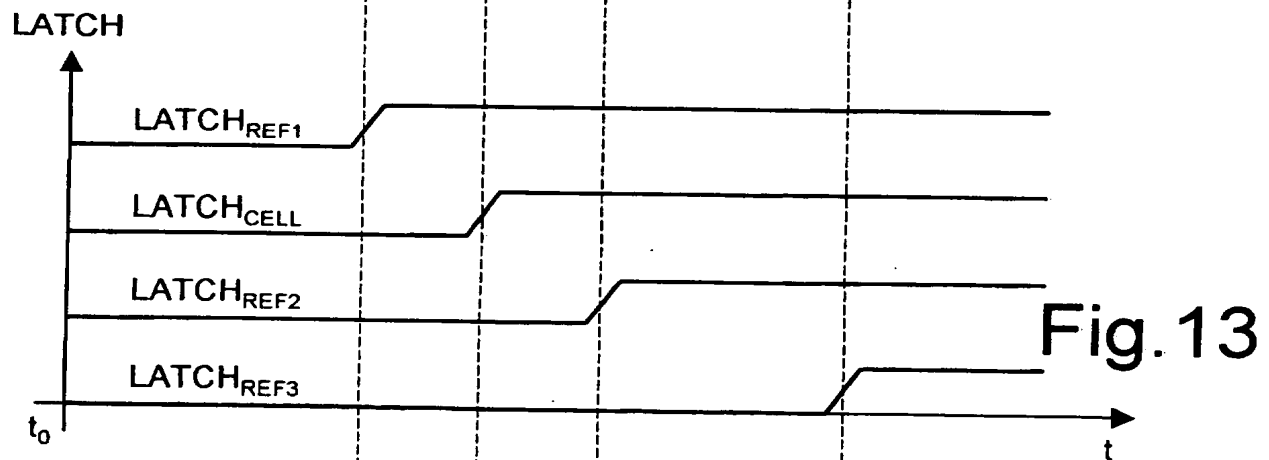
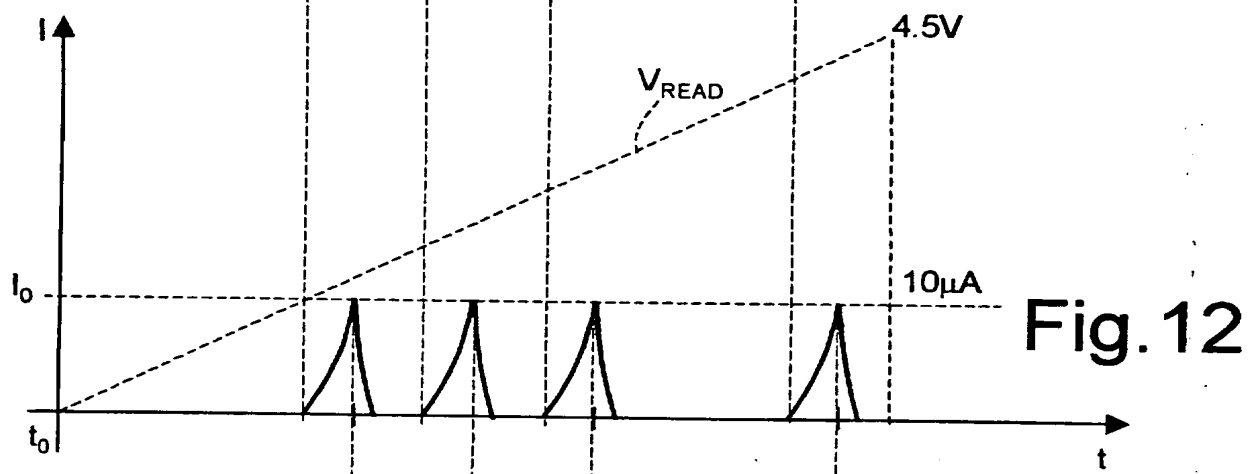
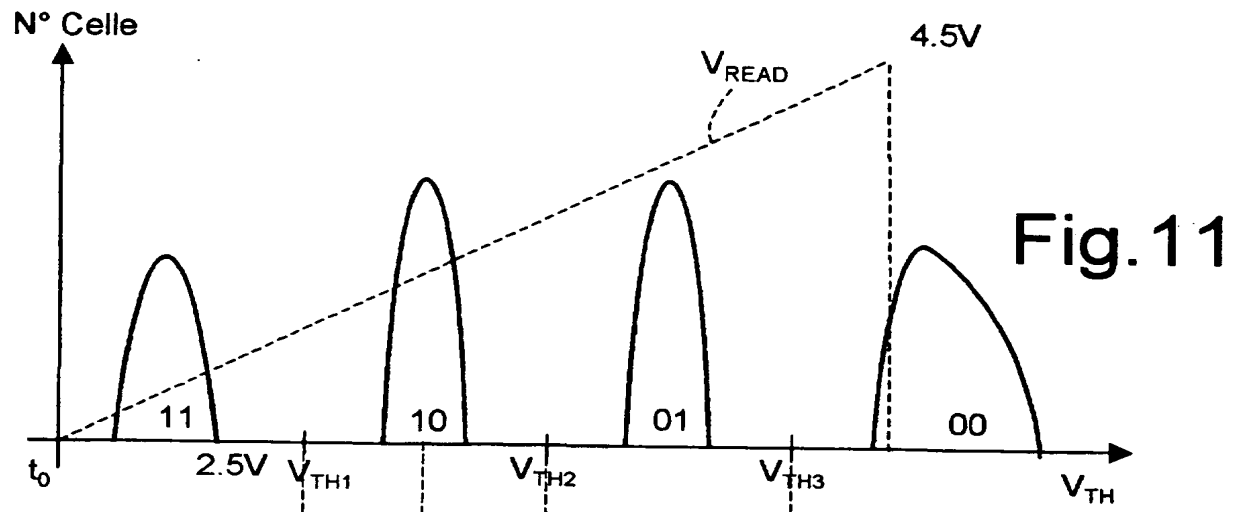


Fig.10



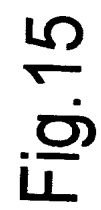


Fig. 15

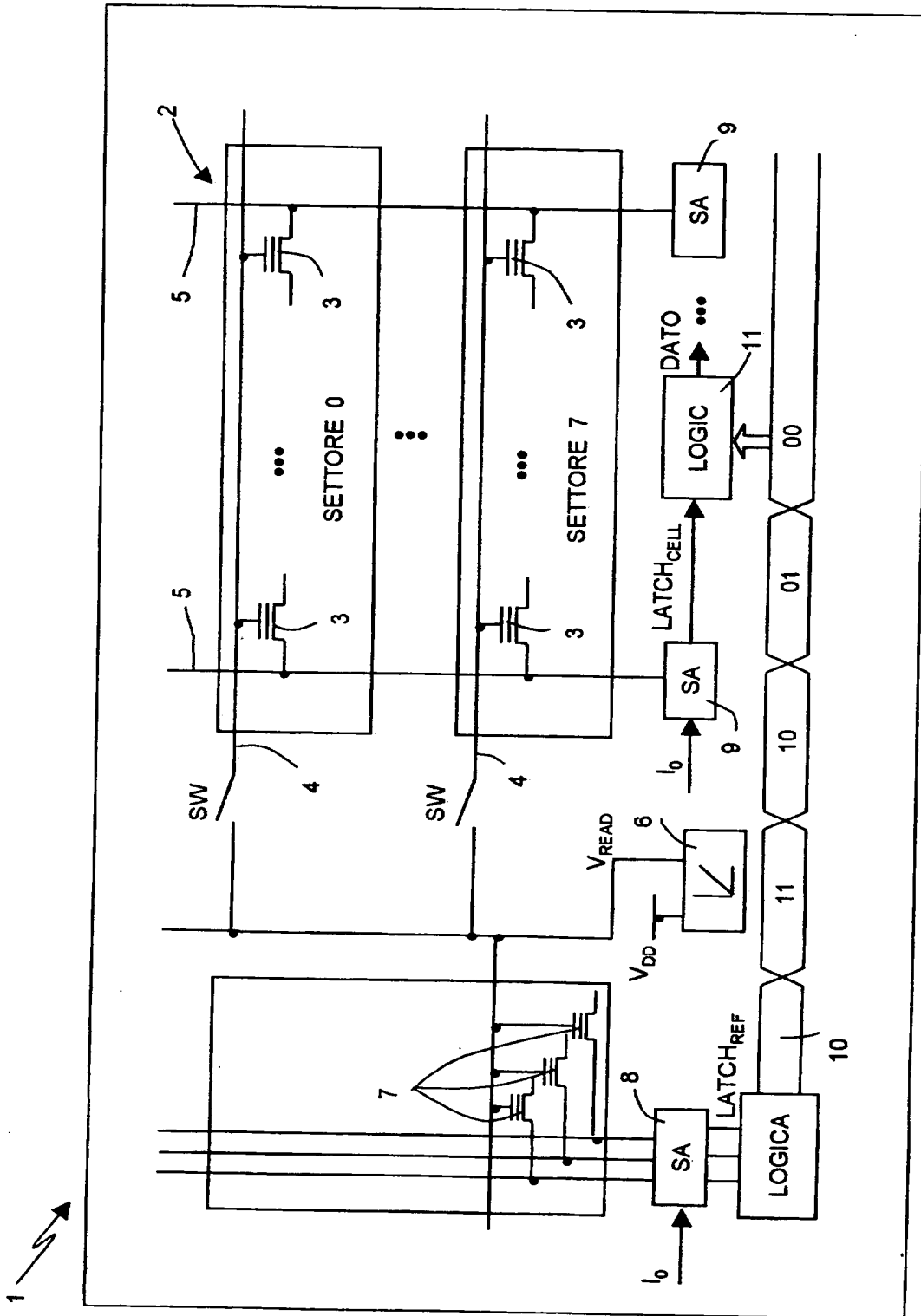


Fig.16

BEST AVAILABLE COPY